

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-013408

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

H04L 12/28

(21)Application number : 11-131021

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>

(22)Date of filing : 12.05.1999

(72)Inventor : BLANC ALAIN  
BREZZO BERNARD  
SAUREL ALAIN

(30)Priority

Priority number : 98 98480041

Priority date : 29.05.1998

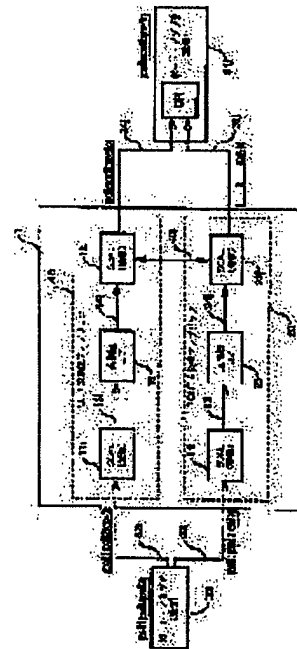
Priority country : EP

## (54) EXCHANGE SYSTEM

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide switching architecture for expanding the ability of a switchboard by utilizing the respective storage resources of a switching system.

**SOLUTION:** A switching system 15 or 25 receives data cells from the set of (n) pieces of input ports, and according to the contents of a bit map value led into the cell at the entrance of a module, the cell is routed to output ports more than one. The module is provided with a shared buffer for storing the routed cell. Further, this system is provided with an additional mask mechanism having a mask register for changing the bit map value according to whether the concerned cell is to be moved to the output port or to be abandoned before that bit map value is used for controlling a routing process.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-13408  
(P2000-13408A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl.<sup>7</sup>  
H 0 4 L 12/28

識別記号

F I  
H 0 4 L 11/20

テーマコード(参考)  
H  
D

審査請求 未請求 請求項の数3 O L (全13頁)

(21)出願番号 特願平11-131021  
(22)出願日 平成11年5月12日(1999.5.12)  
(31)優先権主張番号 98480041.7  
(32)優先日 平成10年5月29日(1998.5.29)  
(33)優先権主張国 ヨーロッパ特許庁 (E P)

(71)出願人 390009531  
インターナショナル・ビジネス・マシー  
ズ・コーポレイション  
INTERNATIONAL BUSIN  
ESS MACHINES CORPO  
RATION  
アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)  
(74)代理人 100086243  
弁理士 坂口 博 (外1名)

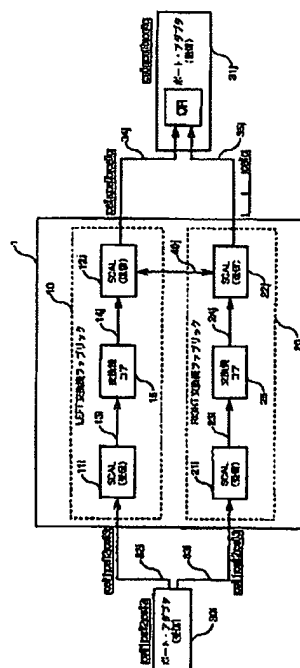
最終頁に続く

(54)【発明の名称】 交換システム

(57)【要約】

【課題】 交換システムの個々の記憶資源を利用することにより、交換機の能力を拡張する交換アーキテクチャを提供すること。

【解決手段】 交換システム15または25が、n個の入力ポートのセットからデータ・セルを受信し、モジュールの入口においてセル内に導入されるビットマップ値の内容に従い、セルを1つ以上の出力ポートにルート指定する。モジュールが、ルート指定されるセルを記憶する共用バッファを含む。システムは更に、ビットマップ値がルーティング・プロセスの制御に使用される以前に、考慮されるセルを出力ポートに移送するか、廃棄するかに従い、そのビットマップ値を変更するためのマスク・レジスタを有する追加のマスク機構を含む。



**【特許請求の範囲】**

【請求項1】  $n$ 個の入力ポートのセットからデータ・セルを受信し、モジュールの入口において前記セル内に導入されるビットマップ値の内容に従い、前記セルを1つ以上の出力ポートにルート指定する交換システムであって、前記モジュールが、ルート指定される前記セルを記憶する共用バッファを含み、前記システムが、前記ビットマップ値がルーティング・プロセスの制御に使用される以前に、前記セルを前記出力ポートに移送するか、無視するかに従い、前記ビットマップ値を変更するためのマスク・レジスタを有する追加のマスク機構を含む、交換システム。

【請求項2】 集中型建物内にそれぞれ配置される交換機コア15、25と、異なる物理領域内に分配される交換機コア・アクセス層(SCAL)要素のセットとを含み、前記各SCAL要素が、前記交換機コアの1つの対応する入力ポート及び出力ポートへのアクセスをそれぞれ可能にする、SCAL受信要素11i及びSCAL送信要素12jを含む、それぞれが第1及び第2の交換機ファブリック10、20を形成する請求項1で定義された2つの交換システムと、

各々が特定の前記SCAL要素を介して、前記第1及び第2の交換機ファブリックに接続され、前記交換機コア15、25の各々が、任意のポート・アダプタから到来するセル・シーケンスを受信し、逆に任意のポート・アダプタが、前記第1または第2の交換機コアの任意の1つからデータを受信し得る、異なる物理領域に分配されるポート・アダプタ30、31のセットと、異なる接続ポート・アダプタ間で、前記第1及び第2の交換機コア15、25の分配を可能にするマスク機構とを含む、交換システム。

【請求項3】 前記バッファにロードされる異なるセルの抽出、及び考慮される前記出力ポートへの転送以前に、前記出力ポートの各々が、前記セルの位置に対応する一連のアドレスを記憶する出力キューに関連付けられる、請求項1記載の交換システム。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は電気通信に関して、特に、内部ルーティング・プロセスを変更するためのマスク機構を含む交換システムに関する。

**【0002】**

【従来の技術】 本発明は、共用バッファを基礎とする従来の交換システム、特に本願の出願人に権利譲渡された非公開の欧州特許出願第97480057、5号、同第97480056、7号、同第97480065、8号、同第96480129、4号、同第96480120、3号(出願人整理番号FR996040、FR996042、FR996043、FR996044、FR996045)で開示されるシステムに改善をもたらす

ものである。

【0003】 共用バッファ交換は、少ないバイト数(一般に53バイト)を有するATMセルなどの、データの小さなセルをルート指定する高速交換機にとって、非常に有用である。従って、今日必要とされる高速交換レートは、非常に多数のデータ・セルの交換を要求する。しかしながら、交換プロセスは、セルを適切なポート宛先にルート指定する以前に、それらを記憶するためのバッファの物理記憶により制限される。マルチキャストの場合、セルは最後の複製が依然保留である限り、共用バッファ内でその位置を占有する。これは交換機のあるポートにおいて競合が発生するとき、かなり長い時間を要する。前記欧州特許出願で述べられるシステムでは、共用バッファは、セルを適切な出力ポートにルート指定する以前に記憶するための、128位置のサイズを有する。

【0004】 幾つかの基本交換モジュールの組み合わせをできる限り可能にすることにより、交換アーキテクチャの能力を拡張することが非常に望ましい。前記欧州特許出願は、いわゆるスピード拡張アーキテクチャ及びポート拡張アーキテクチャについて述べており、それらはそれぞれ、交換アーキテクチャの交換レート及びポート数の拡張を可能にする。交換モジュールの数を2倍にすることにより、交換アーキテクチャのスピードを2倍にすることが可能であり、モジュールの数を4倍にすることにより、交換アーキテクチャのポート数を2倍に増加することができる。

【0005】 しかしながら、これらの状況においても、バッファは依然128位置に制限されており、このことは不可避免的に交換機の可能性を制限し、競合のリスクを増加させる。

**【0006】**

【発明が解決しようとする課題】 本発明の目的は、第1及び第2の交換システムの個々の記憶資源を利用することにより、交換機の能力を拡張する交換アーキテクチャを提供することである。

【0007】 本発明の別の目的は、スピード拡張、ポート拡張及びバッファ拡張の可能性に関連付ける共用バッファ交換アーキテクチャを提供することである。

【0008】 更に本発明の別の目的は、個々の交換システムを統合することにより、交換性能を向上できる交換アーキテクチャを提供することである。

**【0009】**

【課題を解決するための手段】 これらの及び他の目的が、本発明により達成される。本発明は2つの個々の共用バッファ交換システムを結合することにより、2つの要素がそれら自身のバッファ記憶装置を追加することを可能にし、拡張バッファ交換アーキテクチャを提供するものである。これを達成するために、各システムが、前記係属中の特許出願で開示される従来のビットマップ機

構に対して追加されるマスク機構を含む。

【0010】このマスク機構は、セルに含まれる原始ビットマップを変更し、セルがルート指定されるべき交換システムの出力ポートを特徴付けすることを可能にする。マスク機構は、マスク・レジスタの値に従い、セルにより元々受信されたビットマップを、それを交換システムに入力する以前に、変更するために使用される。相補値を有するマスク機構を各々が組み込む、2つの交換システムを結合することにより、負荷平衡化のための機構が達成され、それにより交換機のオペレータ（ノード・マネージャ）が、異なるポート・アダプタを2つの交換システム間で分配することが可能になる一方、それらのバッファ記憶装置の追加が可能になる。

【0011】

【発明の実施の形態】図1を参照すると、本発明の好適な実施例では、前記欧州特許出願の教示に従う、2つの個々の同一の交換機ファブリック（Switch Fabric）10及び20の記憶容量を関連付けることのできる交換機ファブリック構造が示される。しかしながら、本発明の概念は、共用バッファを基礎とする交換機の他の実施例、特に交換要素の出力に待ち行列資源を含む交換機ファブリックと共に使用され得る。各交換機ファブリック10（20）は、一般に1つの集中型の建物内に配置される交換機コア15（25）と、トポロジ及び電気通信回線の特定の位置に従い、異なるポイントに配置される交換機コア・アクセス層（SCAL）要素11及び12（21及び22）のセットとを含む。

【0012】ここで図1に示されるアーキテクチャは、1つの特定のポートに対応するが、実際の構造は多数の異なるポートを有すると見なされるべきである。図示の例では、交換機ファブリックの受信側はポートiに関連付けられ、結果的にSCAL受信要素は、ポート・アダプタ30iに接続される入力ポートiに対応して、11i（21i）として参照される。図1は、出力ポートjに関するアーキテクチャを示し、結果的に、SCAL送信要素12j（22j）が、ポート・アダプタ31jに接続される出力ポートjに対応する。機能的観点から、ポート・アダプタ受信要素30iはセル・シーケンスを生成し、これらがリンク32iを介して、交換機ファブリック10内の対応するSCAL受信要素11iに、またリンク33iを介して、交換機ファブリック20内の対応するSCAL受信要素21iに、同時に送信される。一般に、各SCAL受信要素11i及び21iは、n個のシリアル・リンク13i及び23iのセットを介して、対応する交換機コアに接続され、交換機構造が配置される異なる建物間の通信が可能になる。同様に、2つの交換機コア15及び25が、n個のシリアル・リンク14j及び24jのセットを介して、対応するSCAL送信部分12j及び22jに接続される。SCAL送信要素12j及び22jにより生成されるセルは、それぞ

れリンク34j及び35jを介して、ポート・アダプタ送信要素31jに移送される。

【0013】図2を参照すると、交換アーキテクチャの構造が示される。基本的に、本発明は交換機サブシステム1の出力部分及び送信アダプタ要素を、2つのグループに再区分する。それらは、交換機ファブリック10（LEFT）に割当てられ、通常、交換機ファブリック10からトラフィック・セルを受信するグループLEFTと、交換機ファブリック20に割当てられ、通常、交換機ファブリック20からトラフィック・セルを受信するグループRIGHTである。本発明の好適な実施例では、2つの別々のLEFT交換機ファブリック及びRIGHT交換機ファブリックにより、データ・セルの負荷平衡が達成される。しかしながら、本システムは交換経路の数を増加することにより、一層向上され得る。

【0014】図2では、ポート・アダプタ送信要素31mがLEFTグループに割当てられ、ポート・アダプタ送信要素31nがRIGHTグループに含まれる。更に、交換機ファブリック経路の各々、例えば交換機ファブリック10は、いわゆる活動状態とバックアップの2つのグループに分割されるSCAL送信要素を含み、これは以前のポート・アダプタ送信要素の再区分に対応する。より詳細には、（LEFT交換機経路に割当てられる）LEFTグループに属するポート・アダプタ送信要素31mは、交換機ファブリック10の活動グループに属する対応するSCAL送信要素12mに物理的に接続され、更に、交換機ファブリック20のバックアップ・グループに属する対応するSCAL送信要素22mにも、物理的に接続される。

【0015】同様に、RIGHT交換機経路に割当てられるRIGHTグループに属するポート・アダプタ送信要素31nは、交換機ファブリック20の活動グループに属する対応するSCAL送信要素22nに物理的に接続され、更に、交換機ファブリック10のバックアップ・グループに属する対応するSCAL送信要素12nにも、物理的に接続される。

【0016】ポート・アダプタ送信要素の前述の再区分は、交換機コア15及び25の効果的且つ同時操作を可能にし、それらのバッファリング資源を関連付ける。ポート・アダプタ送信要素間の再区分は、ノード・マネージャにより決定され、それにより、ポート・アダプタ送信要素31m（LEFTグループに属する）に伝播されるセルが、LEFT交換機コア15を介してSCAL送信要素12mに伝達される一方、同一のセルがポート・アダプタ受信要素30iにより複製され、交換機コア25により脱落（drop）される。逆に、ポート・アダプタ送信要素31n（RIGHTグループに属する）に伝播されるセルは、RIGHT交換機コア25を介してSCAL送信要素22nに伝達される一方、ポート・アダプタ

タ受信要素301のレベルにおいて複製される同一のセルが、交換機コア15により脱落される。従ってセルは、ノード・マネージャにより決定された再区分に従い、LEFT及びRIGHTの2つの交換機ファブリックを通じて分配される。

【0017】これは次のように達成される。すなわち、本発明の最適モードでは、ポート・アダプタ受信要素301により生成されるセルが、2つのシリアル・リンク321及び331上に複製される。この複製は、交換機コア15及び25の入力まで関連付けられる。このことは非常に重要である。なぜなら、2つの交換機コアが同一のセルを受信し、制御セルもまた同時に受信されることを確認しなければならないからである。前記欧州特許出願では、交換機コアが、ルーティング・プロセスを制御するためのビットマップ情報を提供する、ルーティング・テーブルを使用することが述べられている。このビットマップ情報が一般に、制御セルにより更新され得るルーティング制御テーブルの内容から読出される。これが本発明において、同一のセルが各交換機コアの入力に到達することが重要な理由である。より詳細には、前記欧州特許出願で述べられるように、ポート・アダプタ受信要素301が、交換機ルーティング・ヘッダ(SRH)及びペイロードを含むセルを生成する。SRHは、セルの宛先の2バイト・ルーティング・ラベル特性と、1バイトのセル修飾子を含む。セルの宛先は、ユニキャスト接続の場合、ポート・アダプタ送信要素であり、マルチキャスト接続の場合、ポート・アダプタ送信要素のセットである。次に、セルがローカルSCAL受信要素111及び211により受信され、そこで2バイトの追加のセットが導入され、これらが交換機コア15及び25内で、内部ルーティング・プロセスを制御するために使用されるビットマップの位置に作用する。セルが次に、集中型交換機コア15及び25に遠隔的に移送される。これらの交換機コアはルーティング制御装置を含み、後者はルーティング・ラベルを用いて、交換機コア内の内部ルーティング・プロセスに使用される、適切な2バイト・ビットマップ情報を提供するルーティング制御テーブルをアドレス指定する。

【0018】本発明の本質的な特徴は、2つの交換機ファブリック間でのポート・アダプタの分配を表すために、各交換機コア内でマスク機構を使用することである。マスク機構は、ルーティング制御装置がルーティング・プロセスを制御するために使用される以前に、ルーティング制御装置により提供されるビットマップを処理する。図3は、交換機コア15または25の基本を成す交換機コア要素の構造の概略図を示す。16個の対応する入力ポートのセットが、16個の対応するルータ21を介して、セルをセル記憶装置1に提供する。セルがセル記憶装置から抽出され、16個のセクタ31を介して、出力ポートに転送される。セルが交換機コア要素に

入力されるとき、フリー・バッファ・アドレスがフリー・バッファ・アドレス・キュー5から抽出され、入来セルが、抽出されたアドレスにより定義されるセル記憶装置内の適切な位置にルート指定される。同時に、交換機ルーティング・ヘッダ(SRH)が入来セルから抽出され、バス61を介して、マスク回路100に伝送される。マスク回路100はSRH値を使用し、対応する2バイトのマスク値を生成し、これが16個のゲート・システム71のセットに提供される(図3ではゲート71及び716だけが示される)。ゲート・システム71の入力において、バス81を介して、セルがロードされているセル記憶装置1内のアドレスが提供される。そのアドレスが、セルがルート指定されなければならない適切な出力に対応する1つ以上の出力キュー91乃至916にロードされる。セルがマルチキャスト・セルの場合、マスク回路100はバス10を介してカウント回路110に、セルの複製の数を提供する。

【0019】出力プロセスには、セル記憶装置1内のセルの記憶アドレスに対応する、出力キュー91内のアドレスの読出しが含まれる。このアドレスが次にセクタ31に提供され、セルが適切な出力1にシフトされる。バス13はそのアドレスのカウント回路110への伝送を可能にし、カウント回路がセルの1つの複製に対応して、減分演算を実行する。セルがあらゆる適切な出力ポートに出力されると、減分結果が0になり、それによりアドレスを解放し、そのアドレスが新たなセルの記憶のために使用可能になる。その時点で、回路111の制御により、解放されたアドレスがフリー・バッファ・アドレス・キュー5内にロードされる。

【0020】図4を参照すると、マスク回路100の好適な実施例が示され、これは後述の図5のフィルタリング制御フィールド・プロセスのステップ403乃至409を実行するために使用される。基本的に、SRHがバス61を介してレジスタ101にロードされ、またフィルタリング・マスク・レジスタ102が回路の初期化時に制御プロセッサによりロードされ、出力ポートを2つのグループすなわちLEFT及びRIGHTに分配するための特徴付けをする、2バイトのマスクを含む。制御パケットの検出(図5のステップ403に対応)が、レジスタ101のビットマップ・フィールドの内容を処理する回路104により実行される。セル修飾子フィールド内のフィルタリング制御フィールドが、ビットマップの値及びフィルタリング・マスク・レジスタ102の値と共に、フィルタリング装置103に伝送される。フィルタリング装置が次に残余ビットマップを提供し、これがゲート回路71乃至716により使用され、セル記憶装置1に記憶されるセルのアドレスが、セルにより伝搬されるビットマップに従い、適切な出力キュー91にロードされ、マスク・レジスタ内容に従い処理される。それにより、ノード・マネージャにより決定された出力グル

ープのLEFT再区分及びRIGHT再区分に従い、セル・ルーティングが達成される。

【0021】図5を参照すると、LEFT及びRIGHTの2つの交換機コアの制御を可能にするために使用される分配プロセスが示される。このプロセスはあらゆる交換機コア内において、図4に示されるようなマスク回路100により実行される。

【0022】本発明に従うプロセスはステップ401で開始し、そこでSRH内に含まれるルーティング・ラベルが、到来するセルから抽出される。次にステップ402で、ルーティング・ラベルを用い、交換機コア内に配置されたルーティング・テーブルをアドレス指定し、考慮されるセルを適切な出力ポートに分配するための特性を示すビットマップを抽出する。ここで注目すべき点は、同一のセルが2つの交換機コア15及び25により受信されるので、ステップ402は同一のビットマップ値の抽出を生じることである。

【0023】ステップ403で、抽出されたビットマップが全て0か否かがテストされ、これは規則上、ローカル内部プロセッサに伝送される制御セルの特性であり、従ってステップ404において、データのフローから抽出されなければならない。セルが制御セルでない場合、プロセスはステップ405に移行し、そこでフィルタリング制御フィールド・プロセスが開始される。その目的のために、前述のセル修飾子は、フィルタリング制御フィールドを形成する特定の2ビットを含み、それらはこの特定のセルに対して望まれるフィルタリング操作の性質の特性を示す。

【0024】ステップ406で、フィルタリング制御フィールドが直接フィルタリング操作の特性と判断されると、プロセスはステップ407に移行し、以前に抽出されたビットマップが、図4に示されるフィルタリング・マスク・レジスタの内容と論理積される。図3乃至図4に関連して前述したように、フィルタリング・マスク・レジスタはマスク値を記憶するために設計され、マスク値は本発明の好適な実施例では16ビットから成り、各ビットが考慮される交換機コアの1つの特定の出力ポートに対応する。前述のように、交換アーキテクチャの初期化時に、ポート・アダプタ送信要素がLEFT及びRIGHTの2つのグループに分配される。ノード・マネージャは交換アーキテクチャのトポロジ、特に各ポート・アダプタ送信要素(LEFTまたはRIGHT)と、各交換機コアの出力ポートとの間の物理的対応を認識しているので、マスク値が次のように決定される。すなわち、交換機コアに関して、SCAL送信要素12が活動状態と判断されたとき、各出力ポートに対して、マスクの対応ビットが1にセットされる。すなわち、考慮されるポート・アダプタ送信要素に、正規のデータ・フローを送信するように設計される。換言すると、ポート・アダプタ送信要素LEFTが、交換機コア15の所与の出

力ポートからセルを受信するとき、その特定の出力ポートに割当てられるマスクのビットが、1にセットされる。他方、SCAL送信要素がバックアップであることが知れるとき、対応するビットが0にセットされる。逆に、交換機コア25に関しては、ポート・アダプタ送信要素RIGHTが、交換機コアの所与の出力ポートからセルを受信するとき、その特定の出力ポートに割当てられるマスクのビットが、1にセットされる。他方、出力ポートがバックアップであることが知れたSCAL送信要素と通信するとき、対応するビットが0にセットされる。

【0025】2つの交換機コア15及び25のフィルタリング・マスク・レジスタは、常に、相補関係のマスク値を含み、それにより2つの交換機コアにより、セルの完全な分配を保証する点に注意されたい。

【0026】図5を再度参照して、ステップ406のテストの結果、フィルタリング制御フィールドの性質が直接フィルタリング操作の特性でないことが示されると、プロセスはステップ411に移行する。ステップ411で、フィルタリング制御フィールドの性質が逆フィルタリング操作の特性であることが示されると、プロセスはステップ408に移行する。ステップ408で、以前に抽出されたビットマップが、フィルタリング・マスク・レジスタの反転値と論理積される。ステップ411のテストが、フィルタリング制御フィールドの性質が逆フィルタリング操作の特性でないことを示す場合、プロセスはステップ410(無操作)を通じて、ステップ409に移行する。

【0027】ステップ409は、ステップ407またはステップ408のいずれかの完了時に実行される。前述の説明に従いマスクされた残余ビットマップが、2つの交換機コア内で、セルの内部ルーティングを制御するために使用され、またマルチキャストリングの場合、セルの適切な複製を可能にする。従って、フィルタリング制御フィールド内に直接フィルタリング・コマンドを伝搬するセルの場合、複製され、両方の交換機ファブリック経路に提供されるセルが、(ステップ407により)ノード・マネージャにより活動状態と判断された適切なSCAL送信要素に伝送されるだけである。逆に、フィルタリング制御フィールド内に、逆フィルタリング・コマンドを伝搬するセルについては、複製され、両方の交換機ファブリック経路に提供されるセルが、(ステップ408により)バックアップと定義された適切なSCAL送信要素に伝送されるだけである。

【0028】本発明では、直接フィルタリング・コマンドが正規のデータ・トラフィックのために使用され、逆フィルタリング・コマンドが、隠れた故障により引き起こされる悲惨な災害を阻止するために、バックアップ経路のテストの目的のために予約される。これを達成するため、本発明の交換機構造によれば、テスト・セルが周期

的に構造内に注入され、次にバックアップ交換機経路を通じて送信され、後者の良好な動作を保証する。このことは、バックアップSCAL送信要素及び全てのバックアップ・リンクを含む、バックアップ経路のバックアップ要素の完全なテストを可能にし、交換アーキテクチャのいずれかの側で故障が発生するとき、残りの交換機コアだけが、セルの完全なトラフィックを交換できることを確実にする重要な利点を有する。

【0029】更に、2つの交換機コアが、図3乃至図4に示されるように、出力共用バッファ・アーキテクチャを基礎とするので、本発明に従う活動経路構成及びバックアップ経路構成は、このセル記憶装置が少数の出力ポートにより使用される限り、共用セル記憶装置のサイズを事実上増加することを可能にする。このことは交換機の全体性能を大幅に改善する。

【0030】本発明は、正規のセルを伝搬する第1の直接セル及び第2の逆テスト・セルの2つのセルが、同一のポート・アダプタ送信要素に同時に到来することを回避する追加の機構により、更に改善される。これは図1において、交換機ファブリック10に属するSCAL送信要素12jを、交換機ファブリック20に属するSCAL送信要素22jに接続する制御バス40jにより達成される。従って、同一のポート・アダプタ送信要素に接続される、2つの対応する活動SCAL送信要素及びバックアップSCAL送信要素が、同一の制御バス40jを介して通信できる。

【0031】バス40は2つの主な機能を有する。第1の機能は、例えばバックアップSCAL送信要素22mのセル・クロックと、活動SCAL送信要素12mのセル・クロックとを同期させる。換言すると、2つのリンク34m及び35mが、同期されたセル・クロックを有する。2つのバス34m及び35mの伝送の特性は、ポート・アダプタ送信要素31mの入力まで、同期が維持されることを保証する。一般には、リンク34m及び35mは同一の物理長を有する。バックアップSCAL送信要素22mがセルをバス35m上に伝送したい場合、バックアップSCAL送信要素22mは要求をバス40mを介して、その関連活動SCAL送信要素12mに送信する。その要求が活動SCAL送信要素12mにより受信されると、後者はセルの送信を禁止し、セルは通常、次のセル・サイクルで送信される。結果的に、活動SCAL送信要素12mがバス40mを介して、肯定応答信号をその関連バックアップSCAL送信要素22mに生成し、それにより後者は、自身がリンク35mを使用し、保留のセルを次のセル・サイクルに伝送することが許可されることを知らさせる。前記2つの活動機構及びバックアップ機構の各々は、ノード・マネージャの制御の下で定義されたレジスタの内容、すなわちSCAL送信要素の適切なステータスに応じて可能にされる。それにより機構は、2つのセルが同時に同一のポート・ア

ダプタ送信要素に到来することを阻止し、本質的な利点を伴う。なぜなら、ポート・アダプタ送信要素が、その公称スループットだけをサポートするように設計され得るからである。その機構無しでは、少なくとも2倍の公称スループットをサポートできるアダプタを使用する必要がある、このことがコスト及び複雑度を多大に増加させた。

【0032】まとめとして、本発明の構成に関して以下の事項を開示する。

【0033】(1) n個の入力ポートのセットからデータ・セルを受信し、モジュールの入口において前記セル内に導入されるビットマップ値の内容に従い、前記セルを1つ以上の出力ポートにルート指定する交換システムであって、前記モジュールが、ルート指定される前記セルを記憶する共用バッファを含み、前記システムが、前記ビットマップ値がルーティング・プロセスの制御に使用される以前に、前記セルを前記出力ポートに移送するか、無視するかに従い、前記ビットマップ値を変更するためのマスク・レジスタを有する追加のマスク機構を含む、交換システム。

(2) 集中型建物内にそれぞれ配置される交換機コア15、25と、異なる物理領域内に分配される交換機コア・アクセス層(SCAL)要素のセットとを含み、前記各SCAL要素が、前記交換機コアの1つの対応する入力ポート及び出力ポートへのアクセスをそれぞれ可能にする、SCAL受信要素11i及びSCAL送信要素12jを含む、それぞれが第1及び第2の交換機ファブリック10、20を形成する前記(1)で定義された2つの交換システムと、各々が特定の前記SCAL要素を介して、前記第1及び第2の交換機ファブリックに接続され、前記交換機コア15、25の各々が、任意のポート・アダプタから到来するセル・シーケンスを受信し、逆に任意のポート・アダプタが、前記第1または第2の交換機コアの任意の1つからデータを受信し得る、異なる物理領域に分配されるポート・アダプタ30、31のセットと、異なる接続ポート・アダプタ間で、前記第1及び第2の交換機コア15、25の分配を可能にするマスク機構とを含む、交換システム。

(3) 前記バッファにロードされる異なるセルの抽出、及び考慮される前記出力ポートへの転送以前に、前記出力ポートの各々が、前記セルの位置に対応する一連のアドレスを記憶する出力キューに関連付けられる、前記(1)記載の交換システム。

【図面の簡単な説明】

【図1】2つの共用バッファ交換機構造を使用する本発明の基本アーキテクチャを示す図である。

【図2】2つの共用バッファ交換機構造を使用する本発明の基本アーキテクチャを示す図である。

【図3】本発明の好適な実施例で使用され得る自己ルーティング交換システムの内部構造の概略図である。

【図4】本発明に従うフィルタリング制御フィールド・プロセスを実行するために使用されるマスク回路のブロック図である。

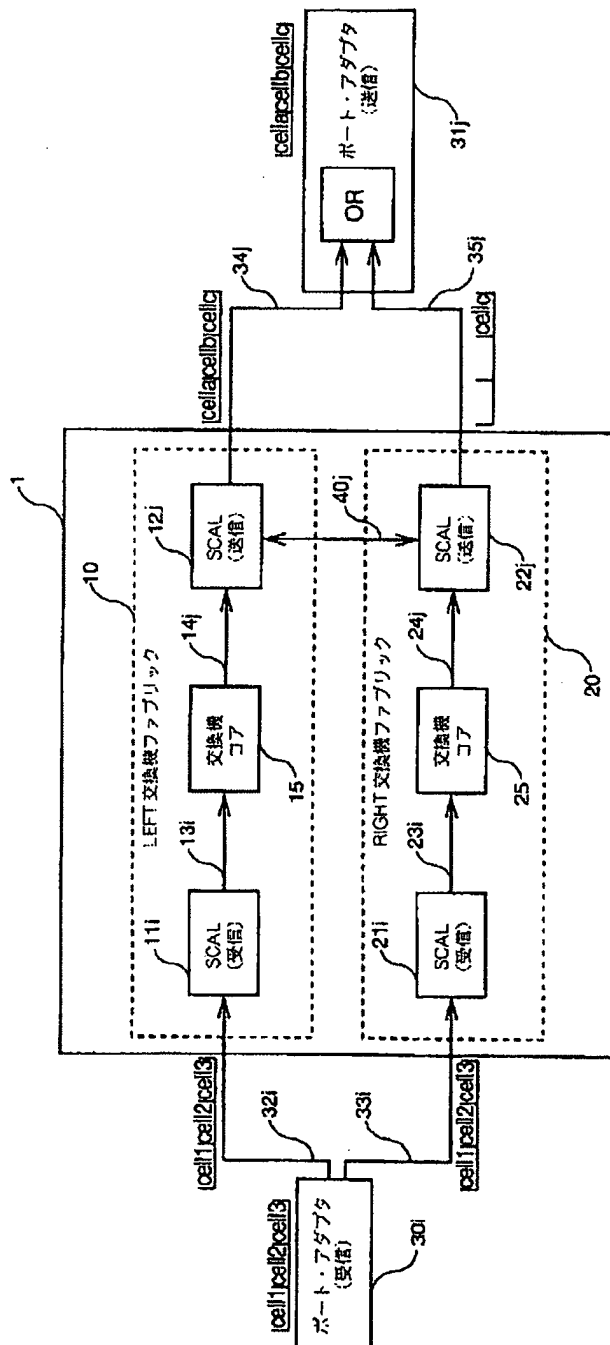
【図5】各交換機コア内で実行されるフィルタリング制御フィールド・プロセスのフロー図である。

【符号の説明】

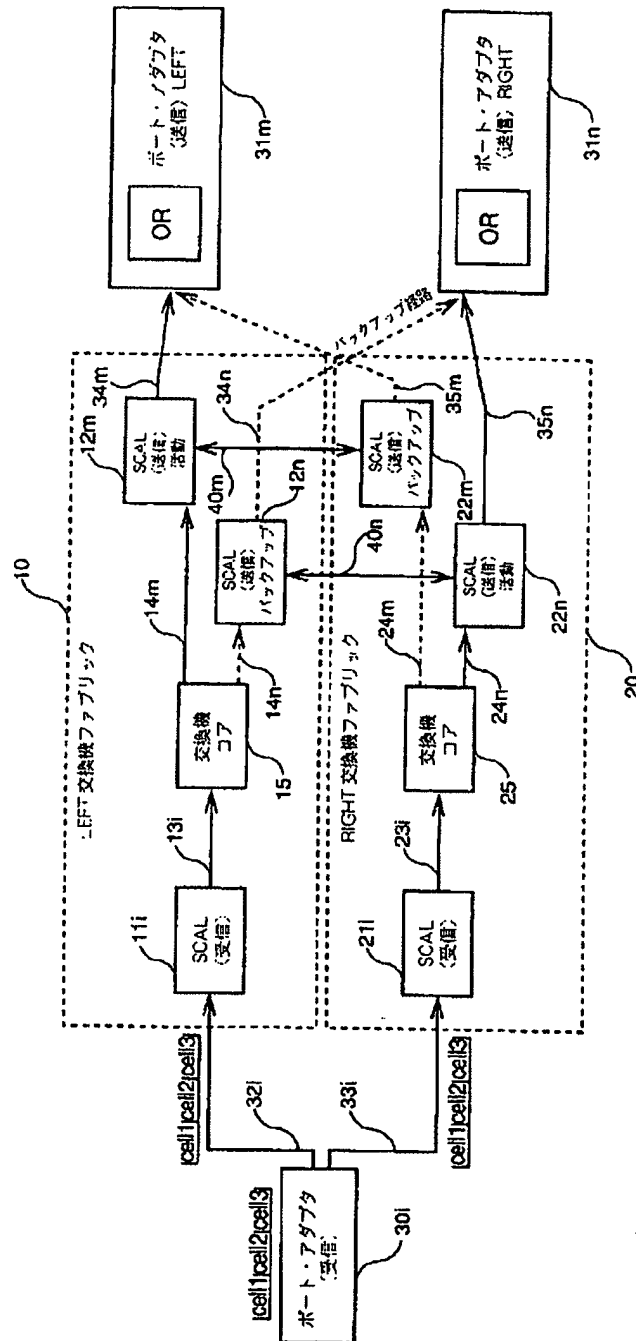
- |         |                   |                               |                  |
|---------|-------------------|-------------------------------|------------------|
| 1       | セル記憶装置            | 10、20                         | 交換機ファブリック        |
| 2 i     | ルータ               | 11 i、21 i                     | SCAL受信要素         |
| 3 i     | セクタ               | 12 j、12 m、12 n、22 j、22 m、22 n | SCAL送信要素         |
| 5       | フリー・バッファ・アドレス・キュー | 15、25                         | 交換機コア            |
| 71乃至716 | ゲート               | 30 i、31 j                     | ポート・アダプタ         |
| 91乃至916 | 出力キュー             | 31 m、31 n                     | ポート・アダプタ送信要素     |
|         |                   | 100                           | マスク回路            |
|         |                   | 101                           | レジスタ             |
|         |                   | 102                           | フィルタリング・マスク・レジスタ |
|         |                   | 103                           | フィルタリング装置        |
|         |                   | 110                           | カウント回路           |



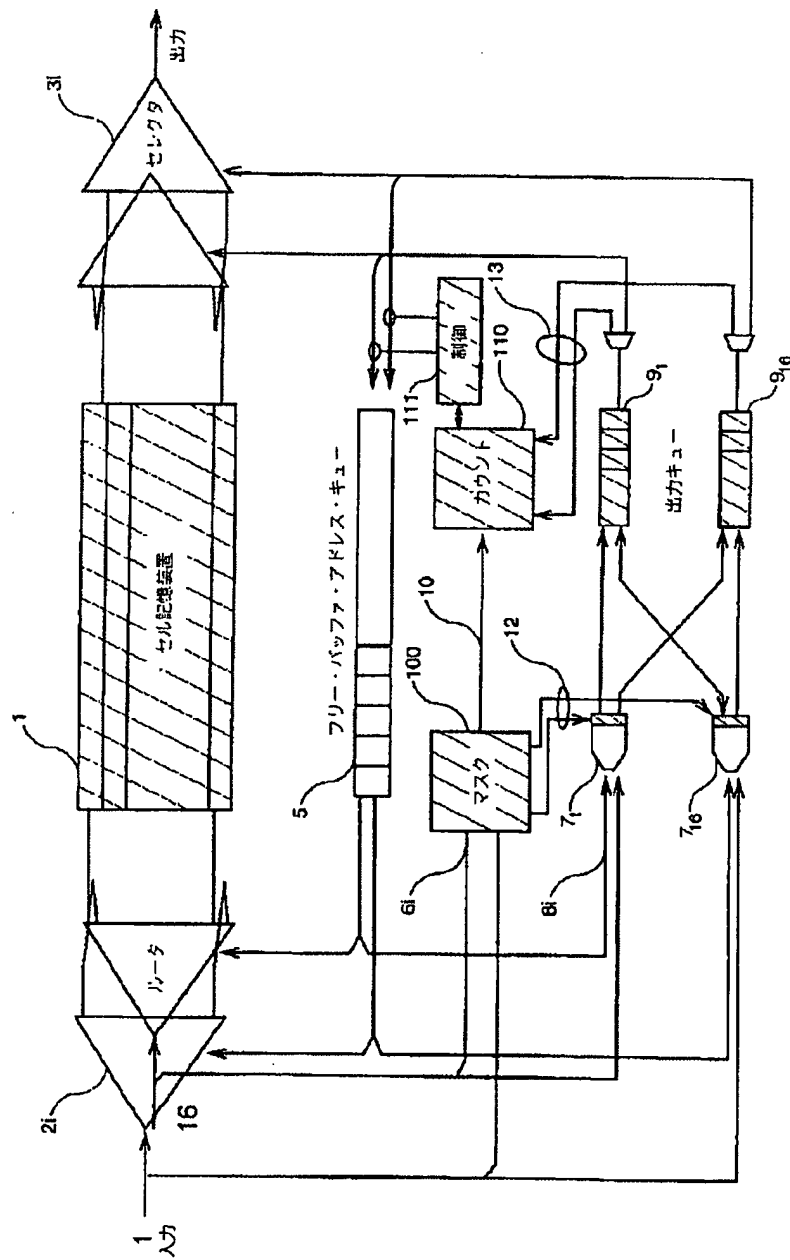
【図1】



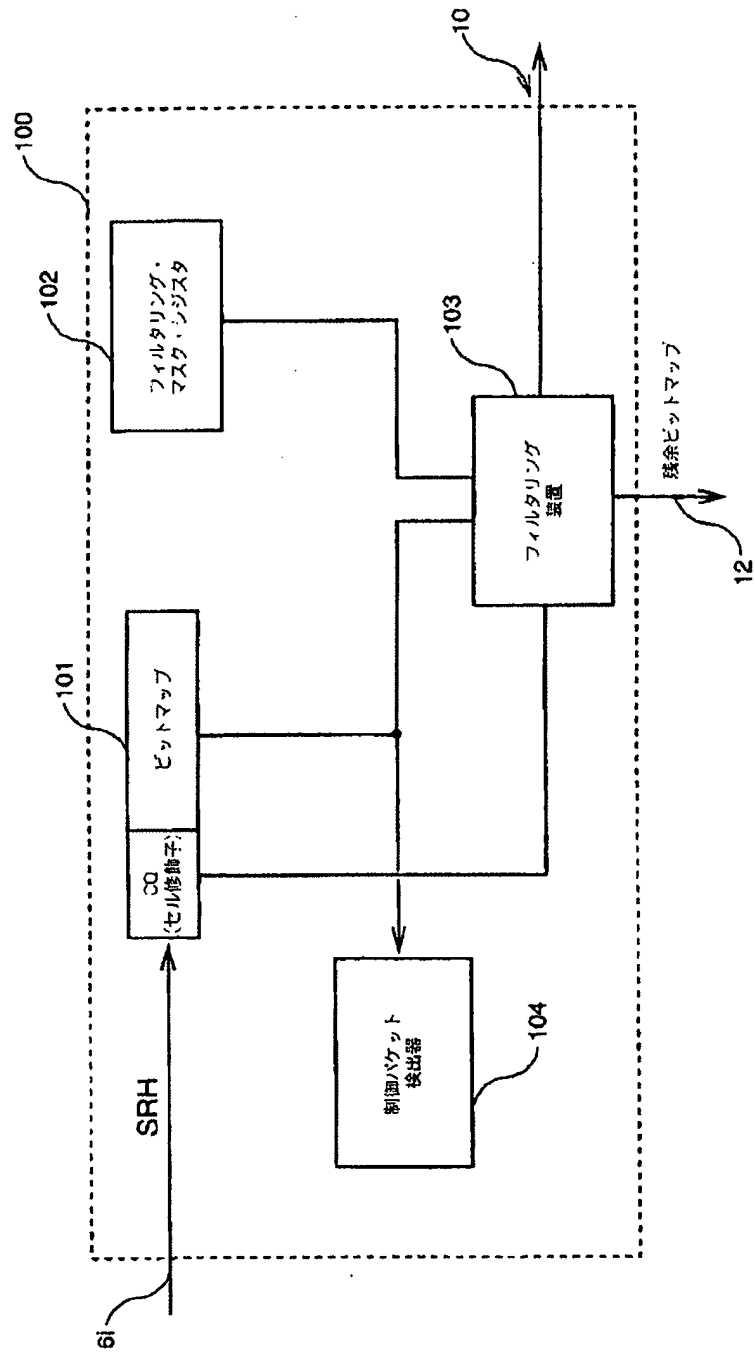
【図2】



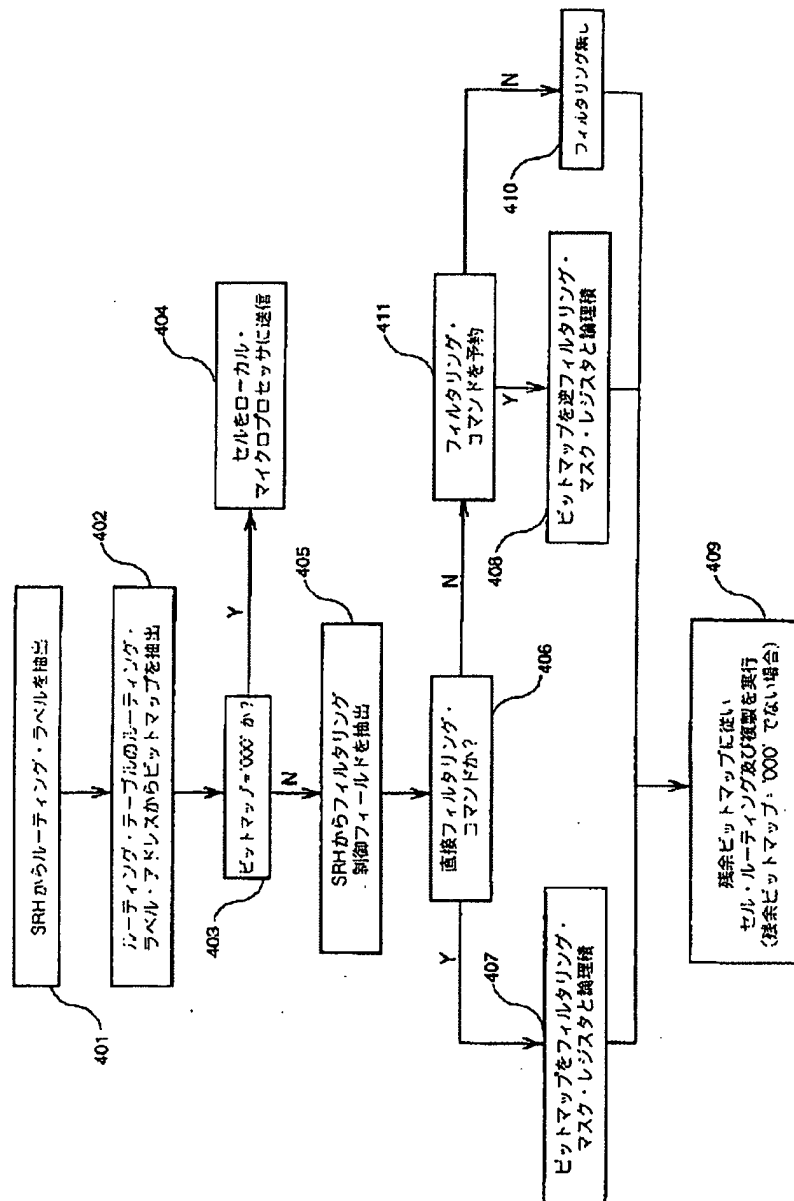
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 アライン・ブランク  
 フランス06140、ヴァンス、トルレッテ・  
 サー・ループ、ルート・デュ・ブラン・ブ  
 イッソン 983

(72)発明者 ベルナルド・ブレッツ  
 フランス06100、ニース、アベニュー・  
 デ・ベッシカート 261、ル・マノア・ナ  
 ンバー 25

(72)発明者 アライン・ソーレル  
フランス06100、ニース、アベニュー・  
デ・ベッシカート 225